

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

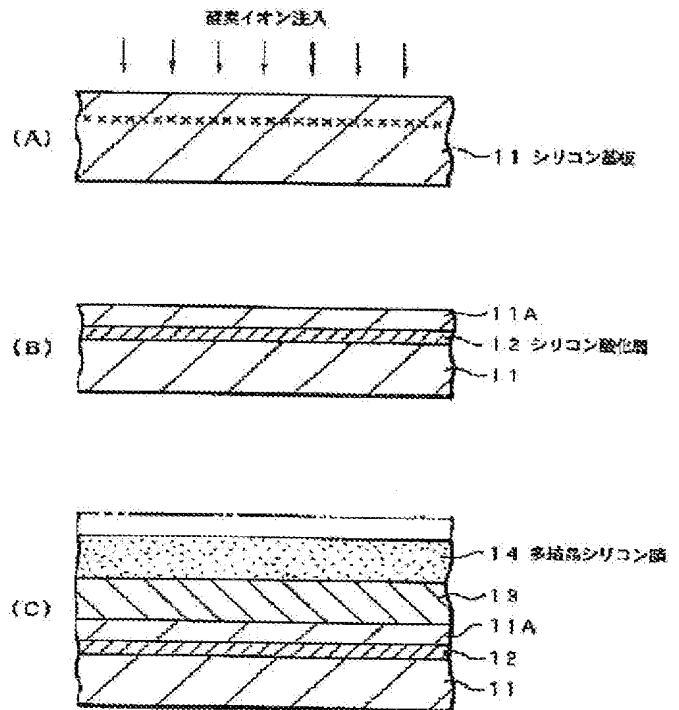
PUBLICATION NUMBER : 07226433  
PUBLICATION DATE : 22-08-95  
APPLICATION DATE : 06-12-94  
APPLICATION NUMBER : 06301770

APPLICANT : SONY CORP;

INVENTOR : HASHIMOTO MAKOTO;

INT.CL. : H01L 21/76 H01L 21/20 H01L 21/265  
H01L 27/12

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To improve the characteristic of an element formed on an SOI layer by forming a thinner semiconductor substrate to form an SOI layer of uniform thickness without receiving influence of fluctuation in thickness of the semiconductor substrate.

CONSTITUTION: After a silicon oxide layer 12 is formed into a silicon substrate 11 through the heat treatment by implanting oxygen ion from the surface of a semiconductor substrate (silicon substrate 11), a silicon substrate is bonded as the other substrate on the surface of the silicon substrate 11 through an insulating film (silicon oxide film 12, polycrystal silicon film 13). Thereafter the semiconductor substrate 11 is ground and polished from the rear surface until the silicon substrate 11 on the silicon oxide film 13 is completely removed using the silicon oxide film 13 as the stopper for polishing. Thereafter the silicon oxide film is removed and the remaining silicon substrate 11 (silicon layer 11A) is formed as a thin film to form an SOI layer.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-226433

(43)公開日 平成7年(1995)8月22日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76				
21/20		8418-4M		
21/265				

H 0 1 L 21/ 76 R  
21/ 265 J

審査請求 未請求 請求項の数4 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平6-301770

(22)出願日 平成6年(1994)12月6日

(31)優先権主張番号 特願平5-318506

(32)優先日 平5(1993)12月17日

(33)優先権主張国 日本(J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 直史

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 橋本 誠

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

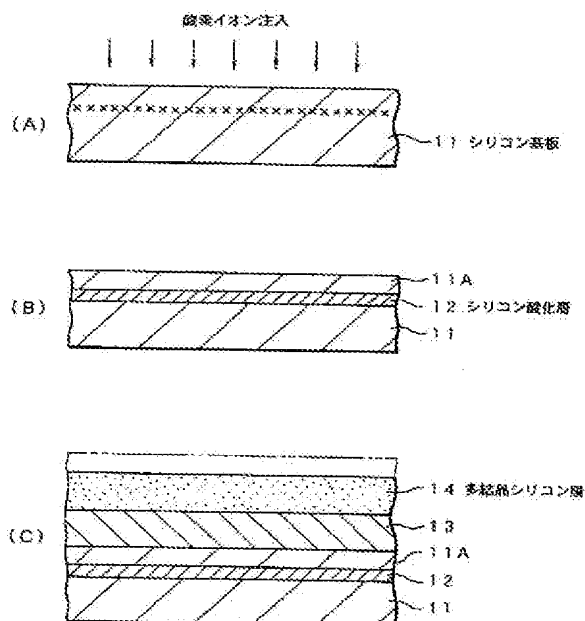
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は、半導体基板の膜厚ばらつきの影響を受けることなく研削研磨によって半導体基板を薄膜化して膜厚ばらつきのないSOI層の形成を図り、SOI層上部に形成される素子の特性の向上を図る。

【構成】 半導体基板(シリコン基板11)の表面から酸素をイオン注入し、熱処理を行うことによりシリコン基板11中にシリコン酸化層12を形成した後、シリコン基板11の表面上に絶縁膜(シリコン酸化膜12、多結晶シリコン膜13)を介して他の基板としてのシリコン基板15を接着する。その後半導体基板11を裏面から研削、研磨を進め、シリコン酸化膜13を研磨ストップパにしてシリコン酸化膜13上のシリコン基板11の部分を全て除去し、その後シリコン酸化膜を除去した後、さらに残したシリコン基板11(シリコン層11A)を薄膜化してSOI層を形成する。



本発明の図1実施例を示す要部断面図(その1)

## 【特許請求の範囲】

【請求項1】 半導体基板の表面上に絶縁膜を形成した後、該絶縁膜上に他の基板を接着し、前記半導体基板を裏面から研削しさらに研磨することにより薄膜化して半導体薄膜を形成する半導体装置の製造方法において、前記絶縁膜を形成する前または前記他の基板を接着する前に、前記半導体基板の表面側から該半導体基板中に酸素をイオン注入した後、熱処理を行うことにより前記酸素の注入領域を酸化して該半導体基板内に酸化層を形成し、前記半導体基板の研磨は前記酸化層を研磨ストップパにして行い、次いで該酸化層を除去した後、残った半導体基板を研磨して薄膜化することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記半導体基板内に前記酸化層を形成した後に該半導体基板の表層に該酸化層に到達しない深さの凹凸部を形成して、続いて該凹凸部を覆う状態に前記絶縁膜を形成し、前記残った半導体基板を研磨して薄膜化することによって前記凹凸部のうち凸部を残すことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、前記半導体基板内に前記酸化層を形成した後、該半導体基板の表面に絶縁層と導電層パターンとを順に積層して形成し、その後前記導電層パターンを覆う状態に前記絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法において、前記凹凸部を形成した後、前記凹凸部の表面に絶縁層を形成してから凸部上の該絶縁層表面に導電層パターンを形成し、続いて前記導電層パターンを覆う状態に前記絶縁膜を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法に関し、特に、SOI (Silicon on Insulator) 層を形成する半導体装置の製造分野で利用できる。

## 【0002】

【従来の技術】シリコン酸化膜のような絶縁膜上の単結晶シリコン層にトランジスタを形成するSOI技術は、優れた耐放射線特性（例えば $\alpha$ 線によるソフトエラー耐性）、ラッチアップ耐性を有し、ショートチャネル効果の抑制にも適している。このようなSOI構造では、絶縁膜上に均一な厚さの薄膜単結晶シリコン層を形成することが要求されている。

【0003】従来、SOI半導体装置の製造方法として第1と第2の半導体基板を張り合わせて、第1の半導体基板からなるSOI層に形成するSOI半導体装置の製造方法がある。このSOI半導体装置の製造方法は、SOI層の両面に素子を形成できるという利点のため、様々な応用が期待できる方法である。図10(A)～(D)および図11(A)、(B)は、SOI半導体装置の製造方法の従来例を工程順に示すものであり、図に従って説明を行う。

【0004】まず、図10(A)に示すように、第1の半導体基板1の表面部の素子分離領域を形成する部分を選択的にエッチング（エッチング深さは例えば100nm以下）する。次いで図10(B)に示すように、上記第1の半導体基板1の表面上に熱酸化およびCVD法によりシリコン酸化膜（厚さは例えば100nm～1 $\mu$ m）2を形成する。

【0005】さらにCVD法によりシリコン酸化膜2上に多結晶シリコン膜（厚さは例えば5 $\mu$ m）3を形成し、その表面を研磨して平坦な張り合わせ面にする。図10(C)は多結晶シリコン膜3の研磨後の状態を示す。その後図10(D)に示すように、上記多結晶シリコン膜3の表面と第2の半導体基板4の表面とを張り合わせる。

【0006】次いで図11(A)に示すように、第1の半導体基板1の裏面を素子分離領域のシリコン酸化膜2をストップパとして研磨することによりSOI層1Aを形成する。ここで、研磨は研磨液を使用しながらの、いわば化学的研磨を併用した物理的研磨により行う。このとき、第1の半導体基板1に膜厚のばらつきがあっても、素子分離領域のシリコン酸化膜が物理的な研磨のストップパとなるため、シリコンの残っているところが選択的に研磨される。

【0007】そして、最終的には図11(B)に示されるように、素子分離領域のシリコン酸化膜2に囲まれたSOI層5（1A）が形成される。このSOI層5には半導体装置（図示省略）を製造することが可能である。また、同様の技術を用いて深さが部分的に異なる半導体薄膜を形成する技術が特開平1-175235号公報に記載されている。

【0008】また上記説明したように張り合わせ法によってSOI層を形成する製造方法では、第1の半導体基板を張り合わせる前にこの第1の半導体基板に絶縁層を介してボトムゲート電極を形成し、それを覆う状態でシリコン酸化膜および多結晶シリコン膜を形成する。そして第1の半導体基板を第2の半導体基板に張り合わせて上記同様のプロセスを行えば、SOI層の下部に絶縁層を介してボトムゲート電極が形成される。

## 【0009】

【発明が解決しようとする課題】しかしながら、選択研磨直前のシリコン層に膜厚ばらつきがあるため、選択研

磨時にウエハ面内でのSOI層の露出に時間差が発生し、早く露出した部分ではオーバ研磨が進む。通常、上記シリコン層の膜厚のばらつきは、シリコン基板の研削速度、TTV、シリコン基板の厚さのばらつき等で決まり、 $\pm 1 \mu\text{m}$ 程度は存在する。その結果、図12に示すように、第1の半導体基板の薄い部分に対応する図面に向かって右側のSOI層1Aでは化学的研磨が余分に行われるので素子分離領域表面よりもSOI層1Aの表面が窪んでしまう、いわゆるディッシング(Dishing)が発生する。言い換えれば、素子分離領域上のシリコン残りが無いように全体を研磨すると、SOI層1Aの厚さが半導体基板の面内でばらつきを生じることになる。

【0010】ところで、上記のようなSOI層の膜厚のばらつきは、その上部に形成される素子の特性がばらつく原因になるという問題がある。また、ICの高集積化の要請に応えるためにトランジスタを微細化するとパンチスルー防止のためSOI層の薄膜化の必要性が高まる。しかし、上記のようなSOI層の厚さのばらつきは薄膜化するほど顕著となる。極端な場合には部分的にSOI層のシリコンが失われてしまう。さらに半導体基板は大口径化が進んでいて、その厚さも大口径化に伴い増大している。例えば、5インチシリコンウエハは、厚さが $600 \mu\text{m} \sim 700 \mu\text{m}$ であるが、8インチシリコンウエハは厚さが約1mmとなる。そのため、今後ますます膜厚のばらつきの絶対値は大きくなる傾向にあるので、ウエハ全面にわたって均一な膜厚のSOI層を形成することは極めて困難になる。

【0011】本発明は、上記課題に着目して創案されたものであって、半導体基板の膜厚のばらつきが、SOI層の膜厚のばらつきに影響されることなくSOI層の膜厚の均一化を図り、さらにSOI層の薄膜化を図る半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記課題を解決するためになされた半導体装置の製造方法である。すなわち第1の製造方法は、半導体基板の表面上に絶縁膜を形成した後、この絶縁膜上に他の基板を接着し、半導体基板を裏面から研削しさらに研磨することにより薄膜化して半導体薄膜を形成する方法において、絶縁膜を形成する前または他の基板を接着する前に、半導体基板の表面側からその内部に酸素をイオン注入した後、熱処理を行うことにより酸素の注入領域を酸化して半導体基板内に酸化層を形成する。また半導体基板の研磨は酸化層を研磨ストップにして行い、次いで酸化層を除去した後、残った半導体基板を研磨して薄膜化することを解決手段としている。

【0013】また第2の製造方法は、上記第1の製造方法において、半導体基板内に酸化層を形成した後、その半導体基板の表層に酸化層に到達しない深さの凹凸部を形成して、続いてその凹凸部を覆う状態に絶縁膜を形成

する。また残った半導体基板を研磨して薄膜化することによって凹凸部のうち凸部を残すことを解決手段としている。

【0014】さらに第3の製造方法は、上記第1の製造方法において、半導体基板内に酸化層を形成した後、この半導体基板の表面に絶縁層と導電層パターンとを順に積層して形成し、その後導電層パターンを覆う状態に絶縁膜を形成する。そしてその後のプロセスは第1の製造方法と同様にして行うことを解決手段としている。

【0015】また第4の製造方法は、上記第2の製造方法において、凹凸部を形成した後、この凹凸部の表面に絶縁層を形成してから凸部上の絶縁層表面に導電層パターンを形成し、続いて導電層パターンを覆う状態に絶縁膜を形成する。そしてその後のプロセスは第2の製造方法と同様にして行うことを解決手段としている。

【0016】

【作用】上記第1の半導体装置の製造方法では、半導体基板に酸素をイオン注入して熱処理を行うことにより酸化層を形成することから、この酸化層は半導体基板面内において表面から一定の深さにかつ均等な厚さで形成される。その後、絶縁膜を介して半導体基板の表面側を他の基板と接着してから半導体基板の裏面側から研削、研磨することから、研削、研磨前の半導体基板に膜厚のばらつきがあっても、上記酸化層が研磨ストップになるので、酸化層上の半導体基板の部分が除去されたときには、酸化層を含めた半導体基板の表面側の膜厚が均一化される。そのため、酸化層を除去した後に、さらに半導体基板の研磨を進めて形成される半導体基板の薄膜の膜厚は均一になる。この薄膜がSOI層になる。

【0017】上記第2の半導体装置の製造方法では、半導体基板の表面に凹部と凸部とを形成し、その後に絶縁膜を形成することから、シリコン基板を研削、研磨によって除去を進めると絶縁膜が研磨ストップになって研磨が停止される。そして半導体基板で形成した凸部が残され、この凸部がSOI層になる。また上記第1の製造方法と同様の作用によって、シリコン基板中に形成したシリコン酸化層を除去した後のシリコン基板の残りの部分は、各凹部および各凸部のそれぞれにおいて均一な膜厚に形成される。その残りのシリコン基板を研磨して上記SOI層を形成しているので、SOI層は均一な膜厚に形成される。

【0018】上記第3の半導体装置の製造方法では、上記第1の半導体装置の製造方法と同様の作用とともに、半導体基板内に酸化層を形成した後、その半導体基板の表面に絶縁層と導電層パターンとを順に形成し、次いでこの導電層パターンを覆う状態に絶縁膜を形成することから、この半導体基板を裏面側から研削、研磨、および酸化層の除去によって、半導体基板の薄膜からなるSOI層を形成したときには、SOI層の下部に絶縁層を介して導電層パターンが埋め込まれた状態になる。

【0019】上記第4の半導体装置の製造方法では、上記第1、第2の半導体装置の製造方法と同様の作用とともに、半導体基板内に酸化層を形成し、さらに半導体基板の表層に酸化層に到達しない深さの凹凸部を形成する。次いで凹凸部の表面に絶縁層を形成してから凸部上の絶縁層表面に導電層パターンを形成し、続いて導電層パターンを覆う状態に少なくとも絶縁膜を形成することから、この半導体基板の裏面側から研削、研磨、および酸化層の除去によって、半導体基板の凸部からなるSOI層を形成したときには、SOI層の下部に絶縁層を介して導電層パターンが埋め込まれた状態になる。

【0020】

【実施例】以下、本発明に関わる半導体装置の製造方法の第1実施例を図1、図2に示す要部断面図に基づいて説明する。

【0021】まず、図1(A)に示すように、半導体基板としてのシリコン基板11に酸素イオンの注入（注入量は例えば $10^{18}/\text{cm}^2$ 、注入深さは例えば100nm）を行う。次に、熱処理を施して、イオン注入された酸素とシリコン基板11のシリコンとを反応させてシリコン酸化層12を形成する。図1(B)はシリコン酸化層12が形成された状態を示す。また、このシリコン酸化層12上は、シリコン基板11の表面側のシリコン層11Aである。この方法は一般に行われているSIMOX法と同様であり、イオン注入と熱処理とを交互に繰り返すことにより、シリコン酸化層12の上のシリコン層11Aの結晶性を良好に保つことができる。また、この方法では、酸素のイオン注入によりシリコン酸化層12を形成するため、その上のシリコン層11Aの膜厚は薄くしかも均一に形成できる。

【0022】次に、図1(C)に示すように上記シリコン層11Aの表面上に熱酸化およびCVD法によりシリコン酸化膜（厚さは例えば100nm～1 $\mu\text{m}$ ）13を形成する。さらにCVD法により、多結晶シリコン膜（厚さは例えば5 $\mu\text{m}$ ）14を形成し、その表面側（2点鎖線で示す部分）を研磨して平坦な張り合わせ面を形成する。

【0023】次いで上記多結晶シリコン層14の表面を他の基板としてのシリコン基板15の表面に張り合わせ、図2(A)に示すように、シリコン基板11の裏面が上向きになるようにする。

【0024】続いて図2(B)に示すように、シリコン基板11の裏面側（2点鎖線で示す部分）を研削、研磨する。そしてシリコン酸化層12を研磨ストップにしておいて、このシリコン酸化層12で一旦研磨を止める。このときの研磨は研磨液を使用しながらの、いわば化学的研磨を併用した物理的研磨により行うので、シリコン酸化層の選択比の高い研磨液を用いれば、たとえシリコン基板11〔図2(A)参照〕に膜厚のばらつきがあったとしても研磨はシリコン酸化層12で停止する。

【0025】次に、シリコン酸化層12をフッ酸水溶液でエッチングして除去する。さらにシリコン層（11A）を研磨して薄膜化することにより、図2(C)に示すように、均一な半導体薄膜としてのSOI層16を形成する。

【0026】ここでの研磨は通常の半導体基板製作用の研磨方法を用いればよく、シリコン酸化層と選択比のある研磨液を使う必要はない。したがって、化学的要素の強い研磨液によるシリコン基板表面の荒れを抑えることができる。

【0027】上記第1実施例では、半導体基板11に酸素をイオン注入して熱処理を行うことによりシリコン酸化層12を形成することから、このシリコン酸化層12は半導体基板11面内において表面から一定の深さにかつ均等な厚さに形成される。その後、絶縁膜としてシリコン酸化膜13および多結晶シリコン層14を介して半導体基板11の表面側を他の基板であるシリコン基板15と接着してから半導体基板11の裏面側から研削、研磨することから、研削、研磨前の半導体基板11に膜厚のばらつきがあっても、上記シリコン酸化層12が研磨ストップになるので、シリコン酸化層12を含めた半導体基板11の表面側の膜厚が均一化される。そのため、シリコン酸化層12を除去した後に、さらに半導体基板11の研磨を進めて形成される半導体薄膜であるSOI層16は膜厚が均一になる。

【0028】以下、本発明に関わる半導体装置の製造方法の第2実施例を図3～図5に示す要部断面図に基づいて説明する。

【0029】まず、図3(A)に示すように、半導体基板としてのシリコン基板21に酸素イオンの注入（注入量は例えば $10^{18}/\text{cm}^2$ 、注入深さは例えば100nm）を行う。次に、熱処理を施して、イオン注入された酸素とシリコン基板21のシリコンとを反応させて、シリコン基板21内にシリコン酸化層22を形成する。図3(B)はシリコン酸化層22が形成された状態を示す。この方法は一般に行われているSIMOX法と同様であり、イオン注入と熱処理とを交互に繰り返すことにより、シリコン酸化層22の上のシリコン層21Aの結晶性を良好に保つことができる。また、この方法では、制御性のよい酸素のイオン注入によりシリコン酸化層22を形成するので、その上のシリコン層21Aの膜厚は薄くしかも均一に形成できる。

【0030】続いて図3(C)のように、シリコン基板21の表面部（シリコン層21Aの表面部）の素子分離領域を選択的にエッチング（エッチング深さは例えば70nm）して、シリコン酸化層22に到達しない深さの凹部23を形成する。この凹部23以外の部分は、素子が形成される凸部24になる。

【0031】次いで図3(D)に示すように、熱酸化およびCVD法により、上記凹部23と凸部24とを形成

したシリコン層21Aの表面上に、絶縁膜としてのシリコン酸化膜（厚さは例えば100nm～1μm）25を形成する。さらに図4（A）に示すように、CVD法により、上記シリコン酸化膜25上に多結晶シリコン膜（厚さは例えば5μm）26を形成し、その表面側（2点鎖線で示す部分）を研磨して平坦な張り合わせ面とする。

【0032】次に図4（B）に示すように、上記多結晶シリコン膜26の表面を他の基板としてのシリコン基板27の表面に張り合わせ、シリコン基板21の裏面が上向きになるようにする。

【0033】その後図4（C）に示すように、シリコン基板21の裏面側（2点鎖線で示す部分）を研削、研磨する。そしてシリコン酸化層22を研磨ストップパにして、このシリコン酸化層22で研磨を一旦止める。このときの研磨は、研磨液を使用しながら、いわば化学的研磨を併用した物理的研磨により行うので、シリコンと酸化層との選択比の高い研磨液を用いれば、たとえシリコン基板21に膜厚のばらつきがあったとしてもシリコン酸化層22で研磨は停止する。

【0034】次いでシリコン酸化層22をフッ酸水溶液でエッチングすることにより、図5（A）に示す構造とする。このとき、シリコン層21Aは、各凹部23および各凸部24のそれぞれにおいて均一な膜厚に形成され、しかもシリコン層21Aの表面はほぼ平坦に形成される。続いて素子分離領域のシリコン酸化膜25をストップパとしてシリコン層21Aの表面側を研磨する。そして図5（B）に示すように、シリコン酸化膜25によって分離された凸部（24）からなる半導体薄膜としてのSOI層28が形成される。ここでの研磨は、研磨液を使用しながらの、いわば化学的研磨を併用した物理的研磨により行う。

【0035】上記研磨では、図5（A）に示したように、シリコン層21Aの膜厚は非常に薄くしかも均一なので、シリコン基板全体のシリコン残りのないようにオーバーポリシングする時間が少なくなる。そのため、部分的に化学的研磨が余分に行われることがないので、素子分離領域表面よりもSOI層28の表面が窪むことはない。

【0036】上記第2実施例では、半導体基板21の表面に凹部23と凸部24とを形成し、その後に絶縁膜となるシリコン酸化膜25を形成することから、シリコン基板21を研削、研磨によって除去を進めるとシリコン酸化膜25が研磨ストップパになって研磨が停止される。そして半導体基板21で形成した凸部24が残され、この凸部24がSOI層28になる。また上記第1実施例と同様の作用によって、シリコン基板21中に形成したシリコン酸化層22を除去した後のシリコン層21Aは、各凹部23および各凸部24のそれぞれにおいて均一な膜厚に形成される。そのシリコン層21Aを研磨し

て上記SOI層28を形成しているので、SOI層28は均一な膜厚に形成される。

【0037】次に本発明に関わる半導体装置の製造方法の第3実施例を図6、図7に示す要部断面図に基づいて説明する。なお上記図1、図2で説明したのと同様の構成部品には同一の符号を付す。

【0038】まず、前記第1実施例の図1（A）～（C）で説明したのと同様にして、半導体基板としてのシリコン基板11に酸素イオンの注入（注入量は例えば $10^{18}/\text{cm}^2$ 、注入深さは例えば100nm）を行う。次に、熱処理を施して、イオン注入された酸素とシリコン基板11のシリコンとを反応させて、シリコン基板11内にシリコン酸化層12を形成する。また、このシリコン酸化層12の上は、シリコン基板11の表面側のシリコン層11Aである。この状態を図6（A）に示す。

【0039】そして図6（B）に示すように、シリコン層11Aの表面を覆う状態にシリコン酸化膜からなる絶縁層31を堆積する。その後、この絶縁層31のアニーリングを行う。このシリコン酸化膜からなる絶縁層31は熱酸化法によって形成してもよい。次いで例えばCVD法によって、上記絶縁層31上に、例えば導電性不純物を含む多結晶シリコンからなる導電層32を成膜する。

【0040】その後、リソグラフィーとエッチングとによって、上記導電層（32）をパターンニングする。絶縁層31を介して導電層（32）からなる導電層パターン33を形成する。パターンニングした状態を図6（C）に示す。

【0041】次に図6（D）に示すように、熱酸化およびCVD法により、上記導電層パターン33を覆う状態で上記絶縁層31上にシリコン酸化膜（厚さは例えば100nm～1μm）13を形成する。なお、導電層パターン33をパターンニングした際に絶縁層31を除去した場合には、シリコン酸化膜13はシリコン層11A上に形成される。さらに、多結晶シリコン膜（厚さは例えば5μm）14をCVD法により形成し、その表面側（2点鎖線で示す部分）を研磨して平坦な張り合わせ面とする。

【0042】その後前記第1実施例の図2（A）～（D）で説明したのと同様にして、図7（A）に示すように、上記多結晶シリコン層14の表面を、他の基板としてのシリコン基板15の表面に張り合わせ、シリコン基板11の裏面が上向きになるようにする。次いでシリコン基板11をその裏面側から研削、研磨して、シリコン酸化層12を研磨ストップパにしてこのシリコン酸化層12で研磨を一旦止める。このときの研磨は、研磨液を使用しながらの、いわば化学的研磨を併用した物理的研磨により行うので、シリコン酸化層12との選択比が高い研磨液を用いれば、たとえシリコン基板11に膜厚の

ばらつきがあったとしてもシリコン酸化層12で研磨は停止する。図7(B)はシリコン酸化層12で研磨を止めた状態を示す。続いてフッ酸水溶液でシリコン酸化層12をエッチングして除去する。さらにシリコン層11Aを研磨して薄膜化することにより、図7(C)に示されるように、均一な半導体薄膜としてのSOI層16(11A)が形成される。

【0043】上記のように形成された導電層パターン33は、例えばボトムゲート電極として用いることができ、上記絶縁層31はゲート絶縁膜として用いることができる。その場合には、SOI層16にソース・ドレイン領域(図示省略)が形成されることになる。

【0044】上記第3実施例では、上記第1実施例と同様の作用とともに、半導体基板11内にシリコン酸化層12を形成した後にその半導体基板11の表面に絶縁層31と導電層パターン33とを順に形成し、次いでこの導電層パターン33を覆う状態に絶縁膜となるシリコン酸化膜14を形成することから、この半導体基板11を裏面側から研削、研磨して半導体薄膜からなるSOI層16を形成したときには、このSOI層16の下部に絶縁層31を介して導電層パターン33が埋め込まれた状態になる。

【0045】以下、本発明に関わる半導体装置の製造方法の第4実施例を図8、図9に示す要部断面図に基づいて説明する。なお上記図3～図5で説明したのと同様の構成部品には同一の符号を付す。

【0046】まず、前記第2実施例の図3(A)～(C)によって説明したと同様にして、以下のプロセスを行う。すなわち、図8(A)に示すように、半導体基板としてシリコン基板21に酸素イオンの注入(注入量は例えば $10^{18}/\text{cm}^2$ 、注入深さは例えば100nm)を行う。次いで熱処理を施して、イオン注入された酸素とシリコン基板21のシリコンとを反応させて、シリコン基板21内にシリコン酸化層22を形成する。その後シリコン基板21の表面部(シリコン層21Aの表面部)の素子分離領域を選択的にエッチング(エッチング深さは例えば70nm)して、シリコン酸化層22に到達しない深さの凹部23を形成する。この凹部23以外の部分は、素子が形成される凸部24になる。

【0047】次に図8(B)に示すように、例えばCVD法によって、上記凹部23および凸部24の各表面を覆う状態にシリコン酸化膜を形成して絶縁層41を形成する。その後絶縁層41のアニーリングを行う。この絶縁層41は、例えば熱酸化法によって形成することも可能である。次いで例えばCVD法によって、上記絶縁層41に被着する状態に、例えば多結晶シリコンからなる導電層42を成膜する。その後、リソグラフィとエッチングとによって上記導電層(42)をパターンングして、図8(C)に示すように、凸部24上に絶縁層41

を介して導電層(42)からなる導電層パターン43を形成する。

【0048】次に、図8(D)に示すように、例えばCVD法によって、導電層パターン43を覆う状態にして上記絶縁層41上に絶縁膜となるシリコン酸化膜(厚さは例えば100nm～1 $\mu\text{m}$ )25を形成する。さらにCVD法によって、多結晶シリコン膜(厚さは例えば5 $\mu\text{m}$ )26を積層状態に形成する。その後、多結晶シリコン膜25の表面側(2点鎖線で示す部分)を研磨して平坦な張り合わせ面を形成する。

【0049】次に、上記第2実施例の図4(B)～(C)で説明したのと同様にして、以下のプロセスを行う。すなわち、図9(A)に示すように、上記多結晶シリコン膜26の表面を、他の基板としてシリコン基板27の表面に張り合わせ、シリコン基板21の裏面が上向きになるようにする。次いでシリコン基板21の裏面側を研削、研磨し、シリコン酸化層22を研磨ストップパにしてシリコン酸化層22で研磨を一旦止める。このときの研磨は、研磨液を使用しながら、いわば化学的研磨を併用した物理的研磨により行うので、シリコン酸化層22との選択比の高い研磨液を用いれば、たとえシリコン基板21に膜厚のばらつきがあったとしてもシリコン酸化層22で研磨は停止する。図9(B)はシリコン酸化層で研磨を止めた状態を示す。

【0050】続いてフッ酸水溶液でシリコン酸化層22をエッチングして除去する。さらにシリコン層21Aを研磨する。図9(C)に示すように、この研磨では素子分離領域の絶縁層41をストップパとして研磨することにより、絶縁層41およびシリコン酸化膜25で分離された凹部24からなる半導体薄膜としてのSOI層28が形成される。上記研磨において、絶縁層41が除去されている場合には、シリコン酸化膜25を研磨ストップパにして研磨を行う。ここでの研磨は研磨液を使用しながらの、いわば化学的研磨を併用した物理的研磨により行う。

【0051】上記研磨では、シリコン酸化層22を除去した後のシリコン層21Aの膜厚は非常に薄くしかも均一なので、シリコン基板全体のシリコン残りのないようによりバロリシングする時間が少なくなる。そのため、部分的に化学的研磨が余分に行われることがないので、素子分離領域表面よりもSOI層28の表面が窪むことはない。

【0052】上記のように形成された導電層パターン43は、例えばボトムゲート電極として用いることができ、上記絶縁層41はゲート絶縁膜として用いることができる。その場合には、SOI層28にソース・ドレイン領域(図示省略)が形成されることになる。

【0053】上記第4実施例では、上記第1、第2実施例と同様の作用とともに、半導体基板21内にシリコン酸化層22を形成し、さらに半導体基板21の表層にシ



リコン酸化層22に到達しない深さの凹部23と凸部24とを形成する。次いで凹部23と凸部24との表面に絶縁層41を形成してから凸部24上の絶縁層41表面に導電層パターン43を形成し、続いて導電層パターン43を覆う状態に絶縁膜となるシリコン酸化膜25を形成することから、この半導体基板21の裏面側から研削、研磨して半導体基板21の凸部24からなるSOI層28を形成したときには、SOI層28の下部に絶縁層41を介して導電層パターン43が埋め込まれた状態になる。

【0054】さらに、各第1～第4実施例では、SOI層18または28の表面を研磨によって形成するので、その表面は平滑に形成される。そのため、その表面に形成したトランジスタのゲート酸化膜の信頼性は高くなる。

【0055】以上、本発明の半導体装置の製造方法に関わる第1～第4実施例について説明したが、この発明は、上記説明した各実施例に限定されるものではなく、シリコン基板中にイオン注入と熱処理によってシリコン酸化膜を形成する方法であればよい。例えば、酸素をイオン注入する各種のイオン注入として、イオン種に酸素( $O_2$ )を用いる以外にオゾン( $O_3$ )を用いることも可能である。

【0056】また、上記実施例では、他の基板としてシリコン基板を用いたがこれに限定されるものではなく、絶縁基板を用いることも可能である。

【0057】

【発明の効果】以上に説明したように、本発明によれば、半導体基板の厚さにばらつきがあっても、SOI層(半導体薄膜)の膜厚がばらつくことがなくなるため、SOI層に形成した素子の安定化が図れる。また、SOI層の膜厚のばらつきが少ないためにその薄膜化も可能となり、SOI素子の微細化、すなわち、素子の高集積

化が可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す要部断面図(その1)である。

【図2】本発明の第1実施例を示す要部断面図(その2)である。

【図3】本発明の第2実施例を示す要部断面図(その1)である。

【図4】本発明の第2実施例を示す要部断面図(その2)である。

【図5】本発明の第2実施例を示す要部断面図(その3)である。

【図6】本発明の第3実施例を示す要部断面図(その1)である。

【図7】本発明の第3実施例を示す要部断面図(その2)である。

【図8】本発明の第4実施例を示す要部断面図(その1)である。

【図9】本発明の第4実施例を示す要部断面図(その2)である。

【図10】従来例の要部断面図(その1)である。

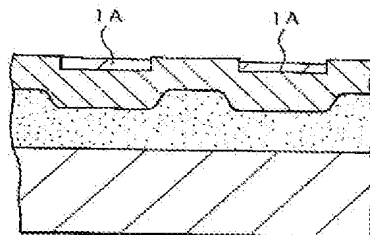
【図11】従来例の要部断面図(その2)である。

【図12】課題を説明する要部断面図である。

【符号の説明】

- 11, 21 シリコン基板(半導体基板)
- 11A, 21A シリコン層
- 12, 22 シリコン酸化層
- 13, 25 シリコン酸化膜
- 14, 26 多結晶シリコン膜
- 15, 27 シリコン基板(他の基板)
- 16, 28 SOI層
- 31, 41 絶縁層
- 33, 43 導電層パターン

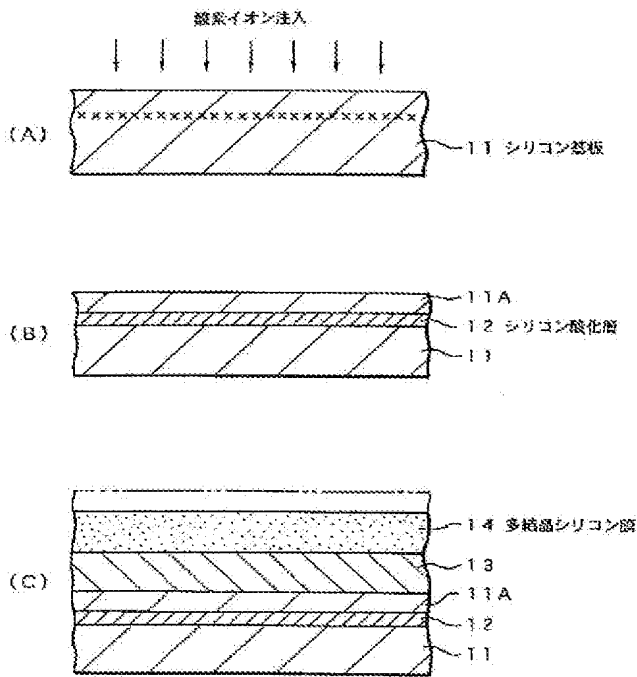
【図12】



課題を説明する要部断面図

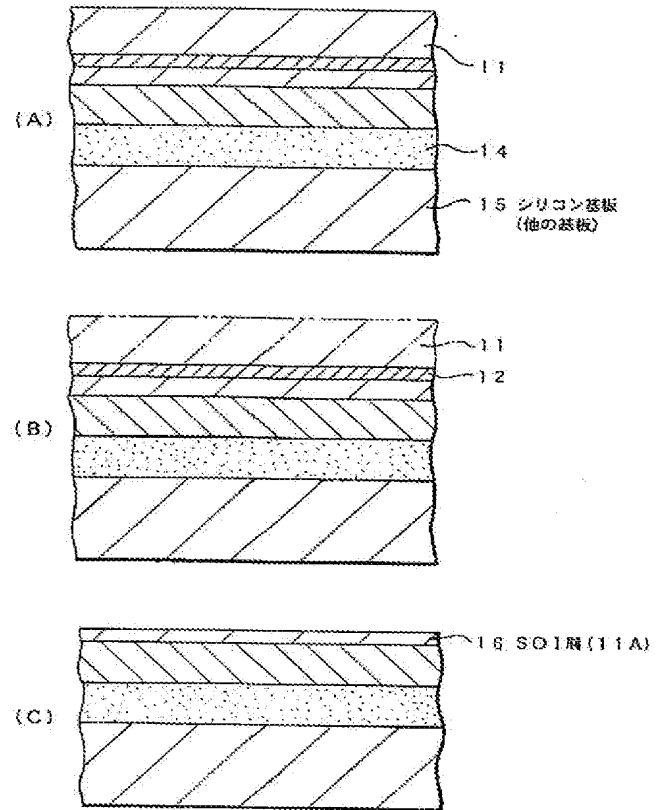


【図1】



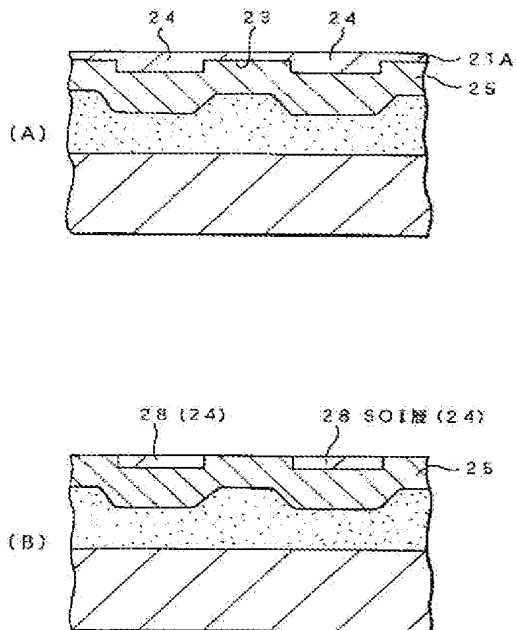
本発明の第1実施例を示す要部断面図(その1)

【図2】



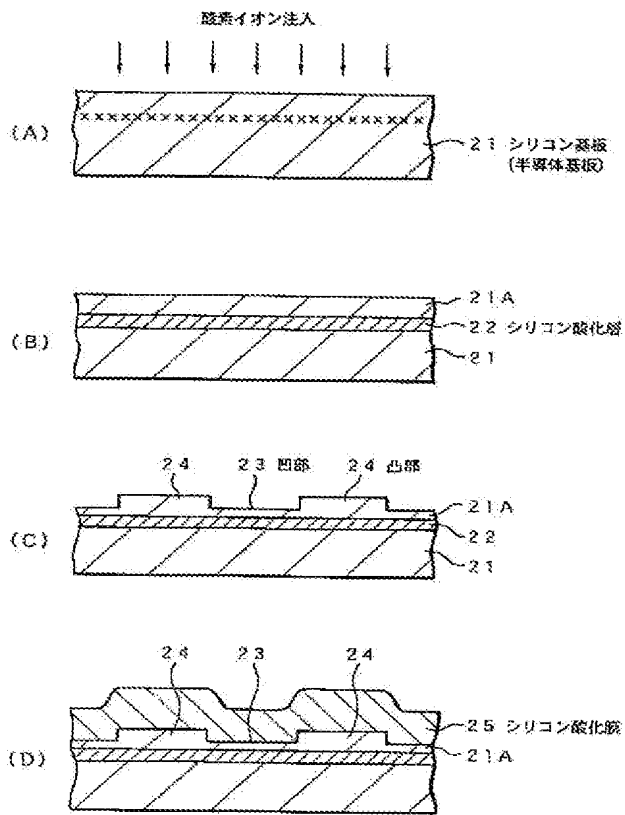
本発明の第1実施例を示す要部断面図(その2)

【図5】



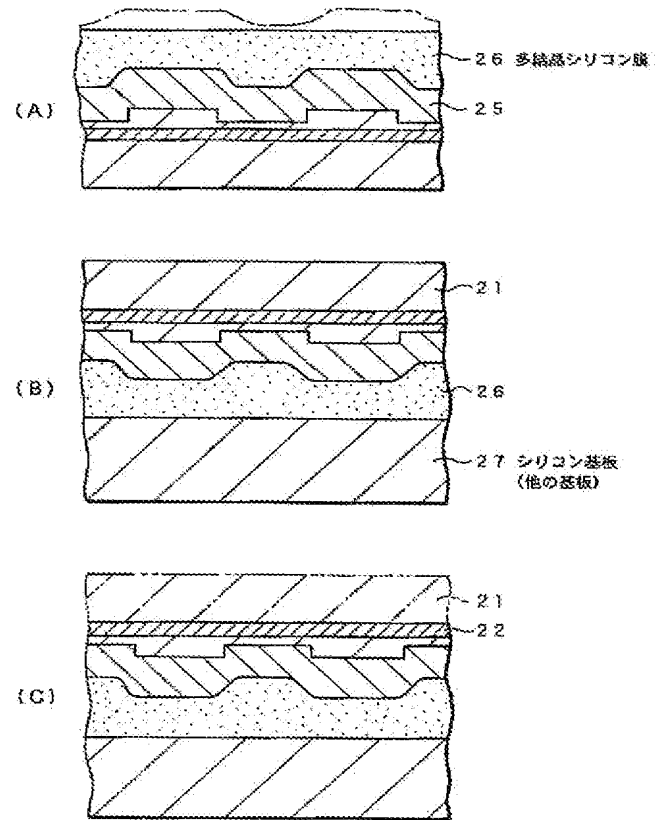
本発明の第2実施例を示す要部断面図(その3)

【図3】



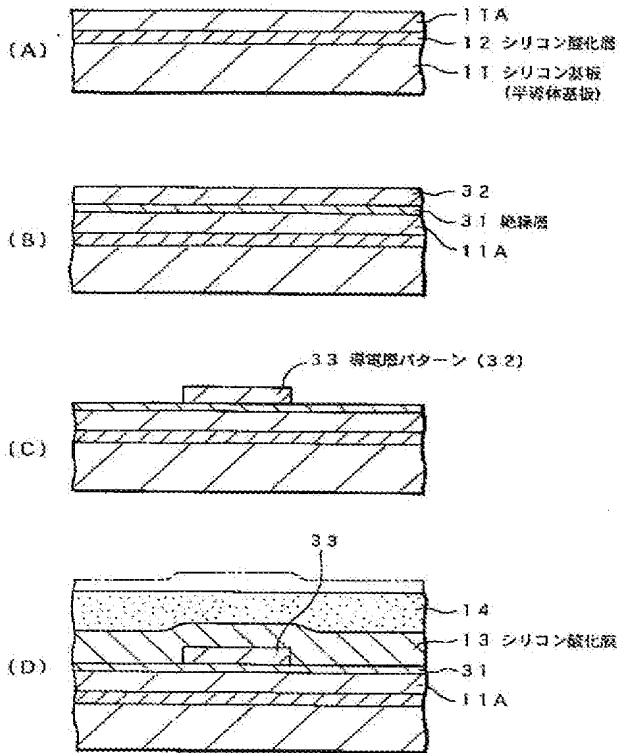
本発明の第2実施例を示す要部断面図(その1)

【図4】



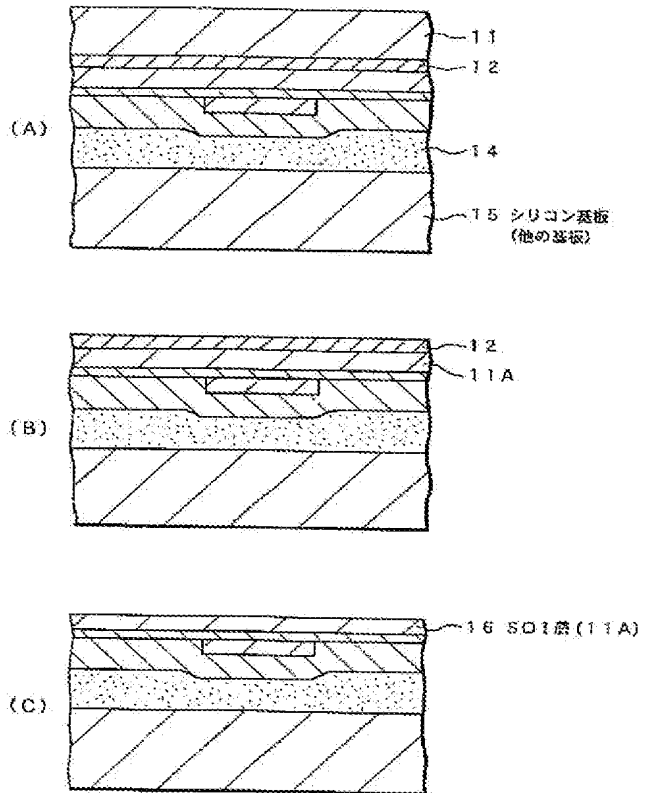
本発明の第2実施例を示す要部断面図(その2)

【図6】



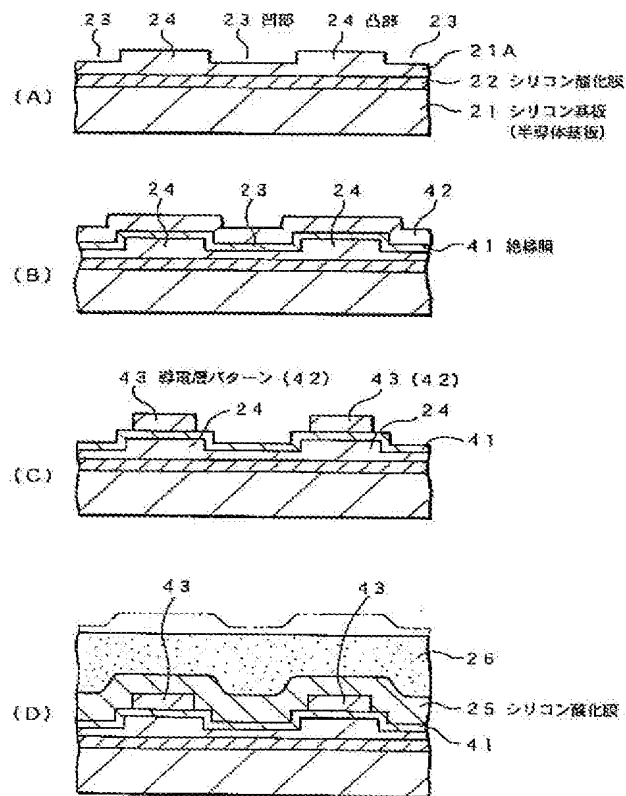
本発明の第3実施例を示す要部断面図(その1)

【図7】



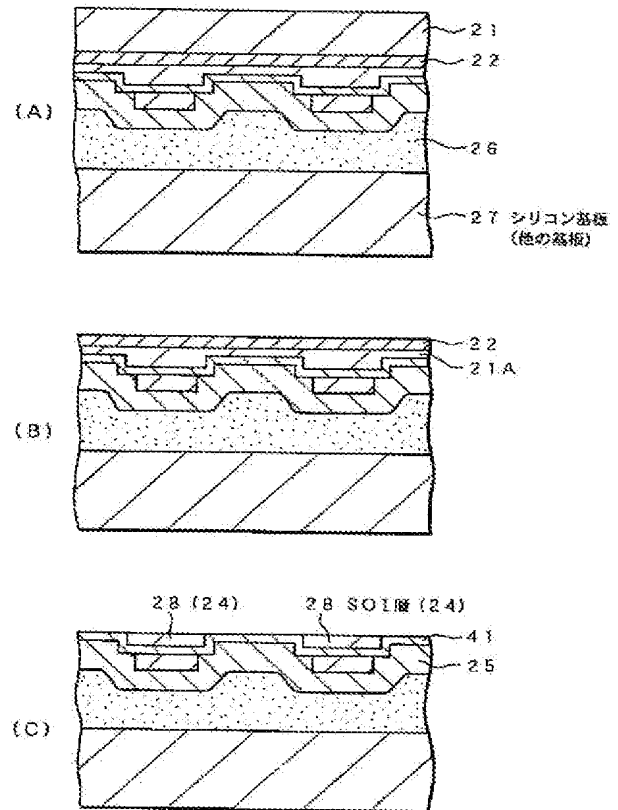
本発明の第3実施例を示す要部断面図(その2)

【図8】



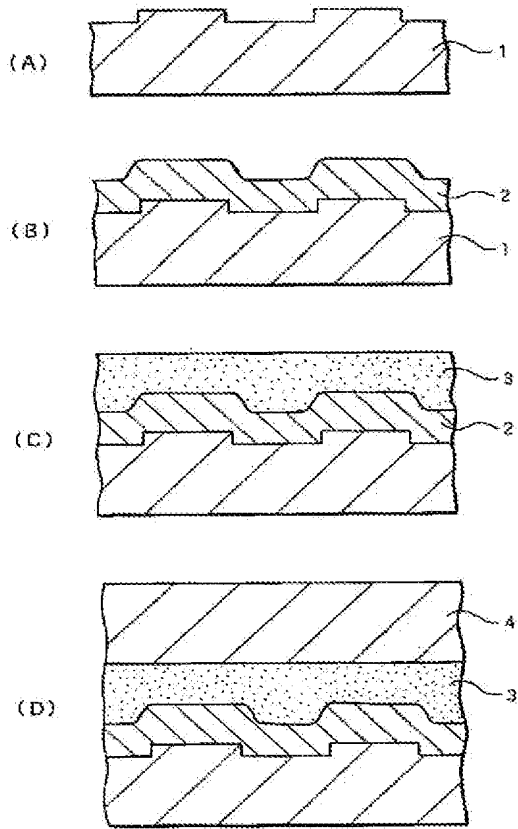
本発明の第4実施例を示す要部断面図 (その1)

【図9】



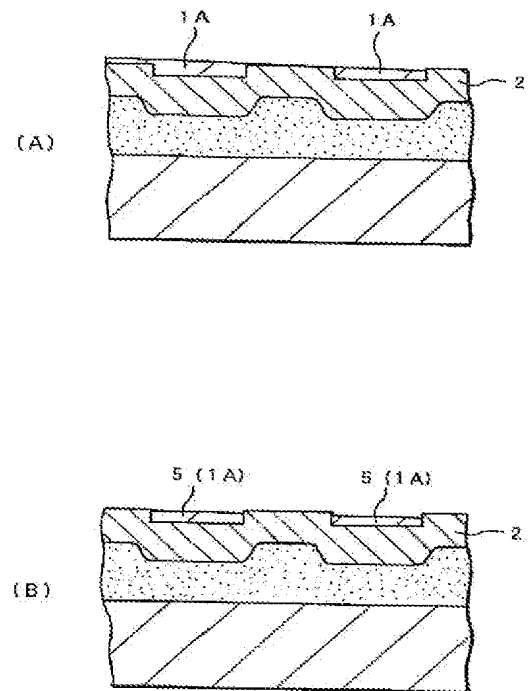
本発明の第4実施例を示す要部断面図 (その2)

【図10】



従来例の要部断面図（その1）

【図11】



従来例の要部断面図（その2）

フロントページの続き

(51) Int. Cl.<sup>6</sup>

H01L 27/12

識別記号

片内整理番号

F I

技術表示箇所

B

E